

SEMICONDUCTOR DEVICE

Publication number: JP7202147 (A)

Publication date: 1995-08-04

Inventor(s): KOMIYAMA KATSUMI; HOSHI JUNICHI +

Applicant(s): CANON KK +

Classification:

- international: **H01L21/8238; H01L27/092; H01L27/12; H01L29/78; H01L29/786; H01L21/70; H01L27/085; H01L27/12; H01L29/66; (IPC1-7): H01L21/8238, H01L27/092, H01L27/12; H01L29/786**

- European:

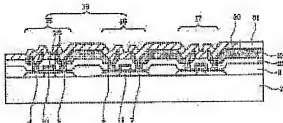
Application number: JP19930349131 19931228

Priority number(s): JP19930349131 19931228

Abstract of JP 7202147 (A)

PURPOSE: To obtain a flexible semiconductor device which is thinner than a prescribed value and high enough in strength by a method wherein an amorphous insulating layer is laminated on the upside and underside of a semiconductor integrated circuit where an active device provided with a single crystal Si thin film as an active layer is built in.

CONSTITUTION: An N-MOS Tr 15 and re P-MOS Tr 16 are isolated from each other by a LOCOS layer 3, and moreover an Al wiring 22 is provided for forming a C-MOS inverter 19. An interlayer insulating layer 20 interposed between the Al wiring 22 and a gate wiring is formed of BPSG as thick as 4000Angstrom, and a last passivation layer 30 is formed of PSG as thick as 10000Angstrom. A wiring lead-out section 31 is provided by removing a part of the passivation layer 30, and a P-MOS Tr 17 is formed to serve as an output buffer. The thickness of this semiconductor device is represented by a formula, insulating layer 2 (8000Angstrom) + LOCOS layer 3 (10000Angstrom) + interlayer insulating film 20 (6000Angstrom) + passivation layer 30 (6000Angstrom) = 36000Angstrom.



(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/12		Z		
21/8238				
27/092				
		9170-4M	H 0 1 L 27/ 08	3 2 1 B
		9056-4M	29/ 78	3 1 1 X
	審査請求	未請求	請求項の数 2	F D (全 7 頁) 最終頁に続く

(21) 出願番号	特願平5-349131	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成5年(1993)12月28日	(72) 発明者	小宮山 克美 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(72) 発明者	星 淳一 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(74) 代理人	弁理士 豊田 善雄 (外1名)

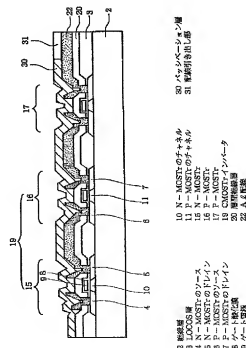
(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 薄型でフレキシブルな半導体装置を構成する。

【構成】 単結晶Siからなる半導体層10、11を中心に上下にアモルファス絶縁層2、20、30を有し、装置の層厚が100μm以下である半導体装置。

【効果】 Si基板を有する半導体装置に比較して破断曲率半径が小さく、曲げに強く破損ににくい。



【特許請求の範囲】

【請求項1】 半結晶Si薄膜を活性層として用いたアクティブ素子を作り込んだ半導体集積回路の上下にアモルファス絶縁層を積層してなる半導体装置であって、装置の層厚が100 μ m以下であることを特徴とする半導体装置。

【請求項2】 上下層の絶縁層の上下に更に有機薄膜を積層したことを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は超薄型の半導体装置に関する。特に曲げに強い薄型でフレキシブルな半導体装置に関する。

【0002】

【従来の技術】 半導体分野において、いわゆる半結晶Si基板の上にエピタキシャル成長させた半結晶Si薄膜にリン、ホウ素などの不純物を注入することにより、さまざまな半導体を形成していることは周知のことである。

【0003】 半結晶のSi薄膜は、アモルファスSiや多結晶Siに比べ、素子特性に優れた半導体動素子が形成できるため、その製造方法が種々開発されている。

【0004】

【発明が解決しようとする課題】 上記した半結晶Si薄膜を用いた半導体装置においては、出発基板が半結晶Si基板であるため、その結晶性故に特定の方位に沿って割れ易く、基板を薄くすると著しく強度が低下する。そのため最終的に得られる基板の厚みは約1mm程度と厚いものになってしまう。

【0005】 さらに、上記半結晶Si薄膜を用いて得られた半導体装置においては以下のような強度の低下問題があった。

【0006】 ①1枚のSiウエハ上で複数の半導体チップが同時に作製されるが、各チップを切り離す工程（ダイシング）により、分割されたチップは分割界面に欠陥を生じ、その結果理論上の強度の1/100以下の強度に低下する。

【0007】 ②チップ厚が大きいために曲げに対して割れ易い。

【0008】 ③素子を作り込んだことで基板の表裏での応力構造が異なり、基板の裏面に結晶欠陥が発生し易く割れ易い。

【0009】 厚い半導体装置は、放熱性が悪く、高密度化ができない、実装方法が制約されるなど、現状の高精細化において問題となっている。

【0010】 例えば、薄型の半導体装置を利用している例としてICカードがあるが、このICカードにおいても、上記半導体装置の製造上の理由から、現状は厚みが1mm程度で固いものであるが、薄さが0.6mm以下で且つ破損を防止する上でフレキシブルであることが望

まれている。

【0011】 本発明はこのような問題点に鑑み、十分な強度を有し、超薄型でフレキシブルな半導体装置の提供を目的とするものである。

【0012】

【課題を解決するための手段及び作用】 本発明者等は、SOI（Silicon on Insulator）を研究している際に、超薄型のSOI構造が、半結晶Si基板よりもフレキシブルで割れにくいことを発見し、本発明を達成した。

【0013】 即ち本発明は、半結晶Si薄膜を活性層として用いたアクティブ素子を作り込んだ半導体集積回路の上下にアモルファス絶縁層を積層してなる半導体装置であって、装置の層厚が100 μ m以下であることを特徴とする半導体装置である。

【0014】 装置の層厚は薄ければ曲げに対して有効であり、曲率半径を小さくできることは後述の表1に示す通りである。例えばSiO₂/SiNといった薄膜構造で且つ1 μ m程度の厚み、10mm程度の幅を有する物体の引張破断強度は約100gである。後述の実施例1に示すような3~4 μ m程度の層厚の半導体装置は300~400gの強度を持つことになり、注意深く作製すれば、最悪可能な強度を有している。

【0015】 しかしながらこれらを一般的な市場において使用していくためには、更に強度的な向上、経済的には1kg程度の強度を有し、且つ後述するように半導体デバイスへのイオンの影響を防ぐ必要があり、これらを考慮すると有機保護層も含めて100 μ m厚以下と設定することが望ましい。

【0016】 半導体或いは無機材料（SiO₂、SiN、SiON、BPSG、PSG）のみで100 μ m程度の厚みを形成することは、それら材料の成膜速度を考えた場合にははなはだ非経済的であると同時に膜厚を大きくすると内部応力等の問題から逆に膜にクラック等を生じ、強度低下の原因となる。一般的にこれら成膜により形成される無機膜厚は経験的に最大2 μ m程度と考えられるため、今回提案した後述の実施例においては、全てを無機膜で構成すると上層が2 μ m以下で最大4 μ m程度、下層が前記したようにSiの熱酸化プロセスで経済的境界が約2 μ mとすれば半導体層及びそのLOCOS酸化層を含めて最大6 μ m程度の厚みと考えられる。

【0017】 従って、前記した強度計算で約600g程度の強度が得られる。一方曲げ限界は曲率半径で1~1.5mm程度と大きくなる。

【0018】 いかなる市場においても安心して使用できるようにするためには、前記した経験則にのっとり、破断強度は1kg以上が望ましく、有機保護層を併用することが望ましい。有機保護層厚はその成膜法にもよるが、一般的にスピンコート、ディップコート等の溶剤塗布を考えた場合には50Å~25 μ m程度まで塗布自由

度が考えられる。更に厚塗りを繰り返すことで膜厚自由度は拡大する。

【0019】そこで25 μ m程度の膜厚を上下各層に付加すれば、無機膜下層各6 μ m、半導体層2 μ m、有機保護層下層各50 μ mで約60 μ m程度の構造体が形成できる。更に安全のため上下各有機保護層の重ね塗りを行うことで100 μ m以下で強固な膜半導体を形成することができる。

【0020】25 μ m \times 2=50 μ m程度の有機保護層は現在一般に広く用いられているフレキシブル回路の厚みと同等であり、強度、屈曲性から考えて十分な市場展開が期待できる。

【0021】本発明に係る薄膜のSOI構造を用いた半導体装置においては強度的に以下のような利点を有している。

【0022】(1) 装置の表裏がガラス状(アモルファス)構造であり、結晶性に基づく欠陥がない。

【0023】(2) チップが薄いために、チップの分割にダイシングの代わりに湿式、或いは乾式のエッチング手法が選択でき、切断界面に欠陥が生じにくい。

膜材料	E	ν	σ	R (μ m) t=1 μ m 理論値 実験値	R (μ m) t=5 μ m 理論値 実験値	R (μ m) t=50 μ m 理論値 実験値	R (μ m) t=500 μ m 理論値 実験値
SiO ₂	7.23E11	0.17	1.37E9	271 —	1355 6000	13550 15000	135500 250000
Si	1.58E12	0.18	0.18E11	6.92 —	34.5 12000	345 25000	3450 150000
SiN	1.51E12	0.17	5.28E9	124 —	620 8000	6200 —	62000 —

【0029】表1に示した通り、各膜厚と曲率半径Rとの関係においては以下の様な特徴が示される。

【0030】①各材料とも、膜厚tが小さくなると破断曲率半径Rが理論値、実験値とも小さくなる。

【0031】②各材料とも、破断曲率半径Rの実験値の方が理論値よりも大きく、特にSiにおいてはその違いが顕著である。

【0032】従って本発明の半導体装置は、実質的にフレキシブルなアモルファス膜を利用し膜厚を薄くすることが可能であり、従来のSi半導体装置では考えられなかった応用分野が考えられる。

【0033】

【実施例】

【実施例1】図1に本発明第1の実施例の断面図を示す。図1において、2は膜厚8000ÅのSiO₂からなる絶縁層、15はN-MOST_r領域で10はN-MOST_rのチャネル(膜厚4000Å)、4及び5はN-MOST_rのソース及びドレイン、8はSiO₂から

【0024】(3) 素子を作り込む半結晶Si層が層の中央部に存在するため、曲げに対して応力の小さい部位に位置する。

【0025】Siは材料固有の強度(理論強度)においては優れているものの、半導体装置を構成した場合には、材料、構造、製造プロセスに起因する欠陥により理論強度の1/100以下の強度しか示さず、SiO₂、SiN、SiON、BPSG、PSGからなる膜の強度よりも弱くなるのである。この関係を表1に示す。

【0026】表1はSiO₂、SiN、SiON、BPSG、PSGの各膜のヤング率E、ポアソン比 ν 、最大破断応力 σ 、それぞれの膜厚をtとした時の破断曲率半径、実験強度を示した。

【0027】ここで破断曲率半径Rは、薄膜を折り曲げた際に膜表面で最大主応力が発生すると仮定した。理論値は、 $R = tE / [2 \times \sigma \times (1 - \nu^2)]$ で計算した。

【0028】

【表1】

なるゲート酸化膜、9は多結晶Siからなるゲート電極である。6はP-MOST_r領域で11はチャネル(膜厚4000Å)、6及び7はソース及びドレインである。Tr15及び16はそれぞれ3のLOCOS層により素子分離されており、更に、C-MOSインバータ19を形成するためのA1配線22が設けられている。A1配線22とゲート配線との層間絶縁層20は厚さ4000ÅのBPSG、最終パッシベーション層30は厚さ10000ÅのPSGである。31は配線引き出し部であり、上記パッシベーション層30を一部除去して形成している。17はP-MOST_rで出力バッファとして形成されている。

【0034】このように形成された半導体装置の膜厚は、絶縁層2(8000Å)+LOCOS層(10000Å)+層間絶縁層20(6000Å)+A1配線22(6000Å)+パッシベーション層30(6000Å)=36000Åであった。

【0035】本半導体装置の配線引き出し部31に電極を当てて電気特性を調べたところ、良好な特性が確認さ

れた。

【0036】本半導体装置において、半導体層（チャネル10、11）を挟んで上層の絶縁層は層間絶縁層20及びパッシベーション層30で12000Å、下層の絶縁層は絶縁層2の8000Åで上下の厚さの比は3/2である。

【0037】本実施例の曲げ破断曲率は0.6mmであり、新たな応用に対して十分な柔軟性を有している。

【0038】その電気特性の曲げに対する変化を図5～図8に示す。図5は本実施例とほぼ同一特性を示す従来の半導体装置（チップ厚0.6mm）、図7が本実施例の半導体装置（チップ厚3.6μm）の平行な（曲げなし）状態での V_D/I_D 特性である。これらの半導体装置をバルクメーター（曲率を変化させる装置）によって凸状に変化させて再び同一特性を図ったところ、従来の半導体装置の V_D/I_D 特性は図6に示すように大きく変化した。本実施例の V_D/I_D 特性は図8に示すように図7とほとんど変わらなかった。尚、本測定は曲率500mmで両者を比較した。

【0039】このように、本実施例においては機械的には0.6mmという曲率曲げに対する十分な強度を有するため小曲率まで曲げられること、またその特性変化に関しても従来の半導体装置にはない外形変化に対する特性安定性を有することがわかった。

【0040】本実施例に係る、SOIウエハにP-T、N-Tを形成する方法、素子分離方法、層間絶縁層の形成方法、Al配線形成方法は公知の半導体形成プロセスを用いることができる。

【0041】図2に本実施例の半導体装置の製造工程例を示す。

【0042】図2において（a）は出発基板である。本発明において該出発基板はSi基板1、絶縁層（ SiO_2 ）2、及び単結晶Siのエピタキシャル層41より構成されたものを用いる。このように構成を有する基板は、SIMOX法、基板貼り合わせ法、及び本出願人が先に提案した多孔質Si上に単結晶Siをエピタキシャル成長させる方法により得られる。特に、上記本出願人が提案した方法では、Siの品質、絶縁層の種類及びその厚みを自由に選択できる点において優れている。

【0043】（a）の基板に、通常の半導体プロセスを用いて、Tr25、26、27、19（半導体層42）及びパッシベーション層30、配線引き出し部31（絶縁層43）を作り込んだ（b）。

【0044】次に（c）に示す様に、Si基板1を除去してウエハを薄型化する。特開5-273591号公報に開示されているように、Siのエッチング法としては、乾式・湿式といったさまざまな方法がある。本実施例では、 SiO_2/Si 間のエッチングレートの違いを利用し、比較的低温でエッチング速度の速いTMAHを用いてエッチングを行なった。

【0045】具体的には、（b）で示したウエハ表面にアピゾンワックス44を塗布乾燥させ、これをTMAH80℃溶液中に投入して14時間後にエッチングを完了した（d）。この後エッチングレジスト44をアセトン溶液などで剥離し、薄型ウエハ（e）を得た。

【0046】上記方法においては、ウエハ全面をエッチングしたが、1チップ毎に分割してから裏面のSi基板1をエッチングしても良い。

【0047】このようにして得られたSiウエハ、Siチップの電気特性を図ったところ、Si基板1のある場合と変わりのない良好な特性が得られた。

【0048】【実施例2】図3に本発明第2の実施例を示す。本実施例は前記本出願人が提案した方法で形成した単結晶Si膜を用いたもので、実施例1との違いは、出発基板（a）において絶縁層が SiO_2 層51（厚さ4000Å）及びSiN層52（厚さ4000Å）の2層構造となっていることである。このように2層構造とすることで単結晶Si層の界面準位を低減させることができる。

【0049】半導体層42、絶縁層43の形成は実施例1と同じであるが（b）、Si基板1のエッチング除去工程においては、SiN層52がKOHの様な強アルカリ溶液にも、またHF+HNO₃のような強酸にもエッチングストップ層として働く。そのため、エッチング速度の速いKOHを用いて短時間でエッチングを終了することができる。但し、KOHをエッチング溶液として用いる場合には、表面側にもアピゾンワックスではなくエッチングストップ層が必要になる。本実施例ではパッシベーション層であるPSG膜上に裏面に形成したものと同じSiN膜53を2層となるように2000Åの厚みで形成した（c）。

【0050】また、本実施例では絶縁層としてプラズマSiN層を用いたが、SiONなどでも効果は同様である。また更に、本実施例においても実施例1同様、ウエハでエッチングしても、チップでエッチングしてもいずれでも良い。

【0051】本実施例において上下絶縁層の膜厚比は上層が14000Å、下層8000Åで7/4である。但し下層の SiO_2 層は基板状態で14000Å～20000Å程度までなら実用上全く問題なく形成できる。

【0052】【実施例3】図4に本発明第3の実施例の製造工程を示す。本実施例では出発基板にSIMOX基板を用いている（a）。SIMOX基板ではその製造プロセス上の制約から絶縁層2の SiO_2 は単層膜である。また、該 SiO_2 層の厚みも比較的薄いものが実用的である。

【0053】実施例1同様に、単結晶Si膜61に通常の半導体プロセスにより素子を作り込んだ後、PSGからなるパッシベーション層を設けた（b）。

【0054】次にエッチングマスクとしてフッ素樹脂6

2を5 μ mコーティングした後に、実施例1と同様にTMAHによって、裏面のSi基板1をエッチング除去した。上記フッ素樹脂としては、真空蒸着、溶射、液状樹脂の塗布乾燥等の形成方法が考えられるが、本実施例では旭硝子株式会社製サイトップを塗布乾燥してフッ素樹脂層62を形成した。このようにパッシベーション層の上に有機樹脂からなるエッチングマスクを形成した場合には、ピンホールができないため、裏面のSiエッチングの歩留を上げることができる。また、本実施例で用いたフッ素樹脂は耐湿性が高く、機械的強度もあるため、エッチング後も剥がずに第2パッシベーション膜として使用できる。このような膜としてはフッ素樹脂の他にシリコン樹脂やゴムが使用できる。

【0055】また、本実施例に用いたSIMOXウエハは前記したように、製造プロセス上の制約からSiO₂絶縁層の厚みが300Å程度しかないため、単結晶Si層に作り込まれたMOS-Trの動作が不安定になったり、閾値電圧が変化したりすることがある。これは絶縁層の厚みが薄いために、該絶縁層に付着した汚染物やイオンがMOS-Trの動作に影響するためである。これを防ぐために本実施例では、Si基板1をエッチング除去して露出した絶縁層2表面にフッ素樹脂62'を塗布形成して汚染物やイオンがMOS-Trの動作に影響しないようにしている。

【0056】薄膜半導体装置の上下を同一材料で且つその厚みの差が大きくなりえない様に構成することにより、膜のカール、半導体素子の特性安定化を図ることができる。半導体のp-n接合が応力によってさまざまな特性変化を起こすことは、各種半導体センサーにその特性が逆に応用されていることから自明である。従ってIC特性をロジカルに、或いは増幅、比較等に用いる用途では、曲がりなどによる応力を均一化することが重要である。

【0057】本発明の半導体装置はその厚みが薄く、積極的に曲げて使用するため、上下の絶縁層の厚みの差を一定の範囲内に限定することによって、p-n接合部に生ずる応力を小さくすることが重要なポイントになっている。

【0058】また、上記実施例3に示した様に、更に外側に有機材料からなる薄膜を積層することにより、機械的強度の維持、外部環境変化の影響からの保護を図ることができる。この場合も上記有機薄膜の厚さをなるべくそろえることが重要である。

【0059】

【発明の効果】本発明の半導体装置は、その厚みが従来の薄型半導体装置に比べて極めて薄く且つフレキシブルである。そのため、従来にない薄型のICカードなど、

装置の薄型化が実現する他、高い放熱性、配線自由度を生かし、従来不可能であった高精細な装置或いは新しい分野への応用が実現する。

【図面の簡単な説明】

【図1】本発明第1の実施例の半導体装置の断面図である。

【図2】本発明第1の実施例の半導体装置の製造工程を示す図である。

【図3】本発明第2の実施例の半導体装置の製造工程を示す図である。

【図4】本発明第3の実施例の半導体装置の製造工程を示す図である。

【図5】従来の半導体装置の電気特性を示す図である。

【図6】本発明第1の実施例の半導体装置の電気特性を示す図である。

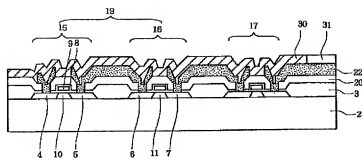
【図7】従来の半導体装置の曲げ状態での電気特性を示す図である。

【図8】本発明第1の実施例の半導体装置の曲げ状態での電気特性を示す図である。

【符号の説明】

- 1 Si基板
- 2 絶縁層
- 3 LOCOS層
- 4 N-MOSTrのソース
- 5 N-MOSTrのドレイン
- 6 P-MOSTrのソース
- 7 P-MOSTrのドレイン
- 8 ゲート酸化膜
- 9 ゲート電極
- 10 N-MOSTrのチャネル
- 11 P-MOSTrのチャネル
- 15 N-MOSTr
- 16 P-MOSTr
- 17 P-MOSTr
- 19 C-MOSインバータ
- 20 層間絶縁層
- 22 Al配線
- 30 パッシベーション層
- 31 配線引き出し部
- 41 単結晶Siエピタキシャル層
- 42 半導体層
- 43 絶縁層
- 44 アピエゾソックス層
- 51 SiO₂層
- 52 SiN層
- 61 単結晶Si層
- 62、62' フッ素樹脂層

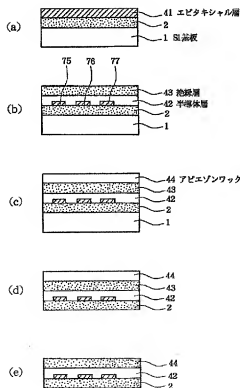
【図1】



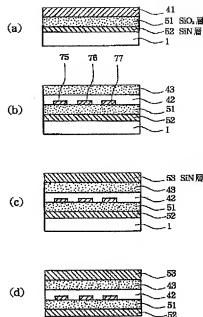
- 2 絶縁層
3 LOCOS層
4 N-MOSFETのソース
5 N-MOSFETのドレイン
6 P-MOSFETのソース
7 P-MOSFETのドレイン
8 ゲート酸化膜
9 ゲート電極
10 N-MOSFETのチャネル
11 P-MOSFETのチャネル
15 N-MOSFET
16 P-MOSFET
17 P-MOSFET
18 CMOSインバータ
19 両端絶縁層
20 両端絶縁層
22 Aノード線

- 30 パッシベーション層
31 配線引き出し部

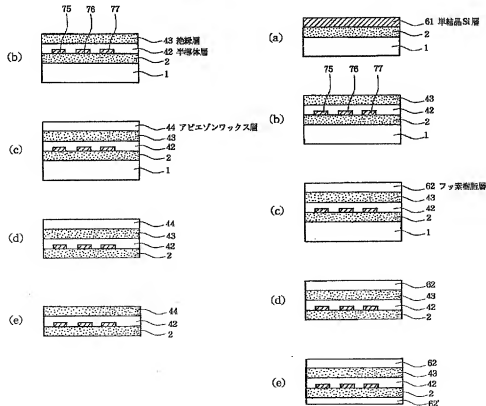
【図2】



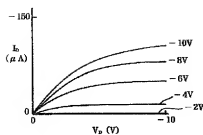
【図3】



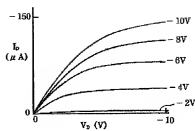
【図4】



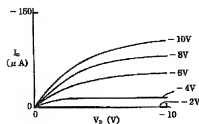
【図 5】



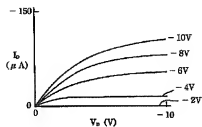
【図 6】



【図 7】



【図 8】



フロントページの続き

(51)Int. Cl.⁸
H 0 1 L 29/786

識別記号 庁内整理番号

F I

技術表示箇所